

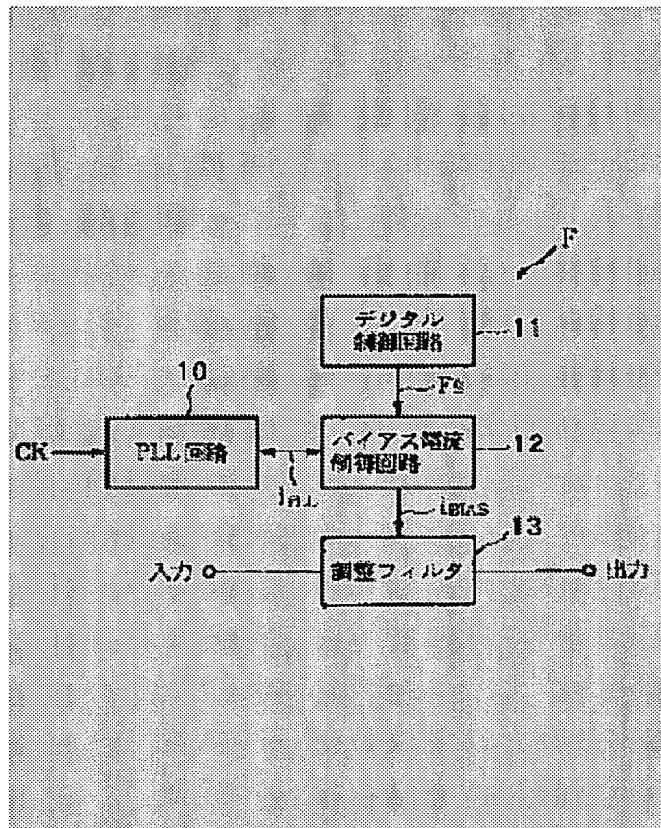
## GM-C FILTER

**Patent number:** JP8204504  
**Publication date:** 1996-08-09  
**Inventor:** ADACHI TOSHIO  
**Applicant:** ASAHI CHEMICAL MICRO SYST  
**Classification:**  
- international: H03H11/04  
- european:  
**Application number:** JP19950011291 19950127  
**Priority number(s):** JP19950011291 19950127

### Abstract of JP8204504

**PURPOSE:** To set the output characteristic of the filter with high precision by adjusting the mutual conductance of a Gm amplifier being a component of the Gm-C filter in response to the actual output characteristic of the filter.

**CONSTITUTION:** A bias current control circuit 12 is made up of a bias current source generating a reference current  $i_{ref}$  in response to a bias current  $i_{PLL}$  from a PLL circuit 10, a bias current source generating a prescribed very small current and switches each corresponding to each bias current source. Then a digital control circuit 11 generates a digital setting signal  $F_s$  to operate a switch corresponding to a bias current generating a current command value and provides the output of the signal  $F_s$  based on the current command entered by a key depending on a difference between the output characteristic of an adjustment filter 13 comprising a filter of Gm-C configuration and a prescribed filter characteristic. A bias current  $i_{BIAS}$  is generated based on a current generated from the operated bias current source and a reference current  $i_{ref}$  and fed to the adjustment filter 13 to adjust a Gm of the Gm amplifier.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

Best Available Copy

(51)Int.Cl.<sup>6</sup>  
H 03 H 11/04識別記号 庁内整理番号  
H 8731-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数7 O.L (全13頁)

(21)出願番号 特願平7-11291  
 (22)出願日 平成7年(1995)1月27日

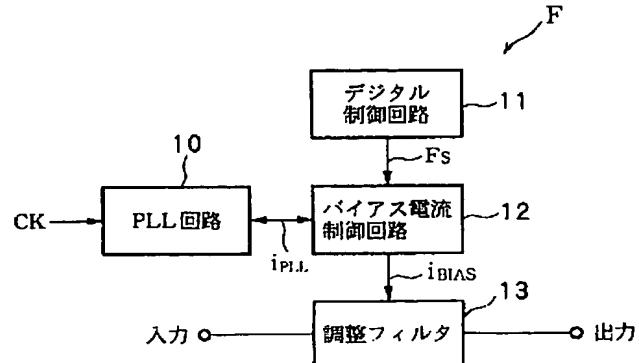
(71)出願人 594021175  
 旭化成マイクロシステム株式会社  
 東京都渋谷区代々木1丁目24番10号  
 (72)発明者 安達 敏男  
 神奈川県厚木市栄町1丁目1番3号 旭化成マイクロシステム株式会社内  
 (74)代理人 弁理士 森 哲也 (外2名)

## (54)【発明の名称】 Gm-Cフィルタ

## (57)【要約】

【目的】 Gm-Cフィルタを構成するGmアンプの相互コンダクタンスをフィルタの実際の出力特性に応じて調整しフィルタの出力特性を高精度に設定する。

【構成】 PLL回路10からのバイアス電流  $i_{PLL}$  に応じた基準電流  $i_{ref}$  を発生するバイアス電流源20と、所定の微小電流を発生するバイアス電流源21~28と、各バイアス電流源21~28に対応するスイッチ29~36とでバイアス電流制御回路12を構成し、Gm-C構成のフィルタからなる調整フィルタ13の出力特性と所定のフィルタ特性との差に応じてキー入力された電流指令値をもとにデジタル制御回路11でこの電流指令値を発生可能なバイアス電流源21~28に対応するスイッチを作動するデジタル設定信号  $F_s$  を形成して出力し、作動されたバイアス電流源の発生電流と基準電流  $i_{ref}$  とからバイアス電流  $i_{BIAS}$  を形成して調整フィルタ13に供給し、GmアンプのGm値を調整する。



## 【特許請求の範囲】

【請求項1】 容量と調整信号に応じて相互コンダクタンスを制御可能に形成されたGmアンプとで構成され、所定のフィルタ特性を有するGm-Cフィルタ回路と、該Gm-Cフィルタ回路の実際の出力特性に応じて前記フィルタ特性を調整する調整手段とを備え、前記調整手段は、Gm-Cフィルタ回路の実際の出力特性に応じた調整信号を発生させる設定信号を出力する調整信号設定手段と、該調整信号設定手段からの設定信号により制御されて所定の調整信号を発生する調整信号発生源からの調整信号を前記Gmアンプに供給する調整信号形成手段とを備えることを特徴とするGm-Cフィルタ。

【請求項2】 前記Gmアンプの出力特性を設定する自己調整用バイアス信号発生回路を有し、前記調整信号形成手段は前記自己調整用バイアス信号発生回路からのバイアス信号を前記調整信号設定手段からの設定信号に応じて補正し前記Gm-Cフィルタ回路に供給することを特徴とする請求項1記載のGm-Cフィルタ。

【請求項3】 前記調整信号設定手段が出力する設定信号は、少なくとも1ビット以上のデジタル設定信号であることを特徴とする請求項1又は2記載のGm-Cフィルタ。

【請求項4】 前記自己調整用バイアス信号発生回路は、前記Gm-Cフィルタ回路に用いられているGmアンプと同じ構成のGmアンプと容量とからなるフィルタ回路又は発振器と、該フィルタ回路又は発振器の基準クロック信号に対する出力信号と前記基準クロック信号との位相差を求める位相比較器と、積分器とから構成されるPLL回路で形成されることを特徴とする請求項2又は3記載のGm-Cフィルタ。

【請求項5】 前記調整信号発生源は、発生する調整信号値の異なる複数の信号発生源で形成され、前記調整信号設定手段は所定の調整信号を発生する信号発生源を選択する設定信号を出力することを特徴とする請求項1乃至4の何れかに記載のGm-Cフィルタ。

【請求項6】 異なる特性値を選択可能な複数のGmアンプ又は容量を選択手段で選択することによりフィルタ特性を変更可能なGm-Cフィルタ回路と、該Gm-Cフィルタ回路の実際の出力特性に応じて前記選択手段を調整する調整手段とを備えることを特徴とするGm-Cフィルタ。

【請求項7】 前記調整手段は、選択されない信号発生源又はGmアンプ若しくは容量を、接続されている回路から物理的に切断する切断手段を備えることを特徴とする請求項5又は6に記載のGm-Cフィルタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、Gm-Cフィルタの改良に関し、特に、周波数特性精度の高いGm-Cフィルタに関する。

## 【0002】

【従来の技術】 従来、Gm-Cフィルタは、スイッチキャパシタフィルタ等のサンプリング系フィルタと異なり時間連続系フィルタであるために高速化が容易であるという特徴がある。しかし、スイッチキャパシタフィルタに比較して周波数特性精度が低いために、広く実用化されてはいない。

【0003】 図13は、従来のGm-C型低域通過フィルタを使用したGm-Cフィルタ回路Fの一例を示したものであり、例えば、自己調整用バイアス発生回路とてのPLL回路10と、例えば、Gmアンプ及び容量から構成されるGm-Cフィルタ型低域通過フィルタで構成される調整対象のフィルタである調整フィルタ13' とから構成され、PLL回路10において基準クロック信号CKをもとに所定のバイアス電流i<sub>PLL</sub>を形成して調整フィルタ13'に供給し、調整フィルタ13'がこのバイアス電流i<sub>PLL</sub>に応じた出力特性をもって作動するようになされている。

【0004】 このPLL回路10は、例えば、Gmアンプ、容量から構成されるGm-C型低域通過フィルタで形成される基準フィルタ51と、排他的論理和回路からなる位相比較器52と、例えば低域通過フィルタで構成される積分器53と、コンパレータ54及び55とから構成され、基準フィルタ51とコンパレータ54とを介して入力した、例えば、水晶発振器等からの基準クロック信号CKと、コンパレータ55を介して入力した基準クロック信号CKとの排他的論理和を位相比較器52において求め、これを出力信号f<sub>h</sub>として積分器53に出力し、積分器53で出力信号f<sub>h</sub>を積分処理した値を基準フィルタ51にバイアス電流i<sub>PLL</sub>として供給すると共に、調整フィルタ13'にもバイアス信号電流i<sub>PLL</sub>として供給するようになされている。ここで、積分器53はいわゆる完全積分器でもよく、また、低域通過フィルタと等価である不完全積分器でもよく、PLL回路10の回路構成に適した積分器が適用される。

【0005】 図14は、基準フィルタ51の出力特性を表したものである。この基準フィルタ51は、低域通過フィルタ特性を有すると同時に、位相遅れが低域では位相シフト0度、高域では位相シフト180度、カットオフ周波数のところで位相シフト90度となる位相特性を有するように形成されている。すなわち、図13において、基準フィルタ51への入力信号、すなわち、基準クロック信号CKの周波数がカットオフ周波数f<sub>c</sub>に一致している場合には、基準フィルタ51及びコンパレータ54を通過して入力される基準クロック信号CKと、コンパレータ55を通過して入力される基準クロック信号CKとの排他的論理和を位相比較器52で求めたとき、位相比較器52からの出力信号f<sub>h</sub>は、周波数が基準クロック信号CKの2倍で、且つ、高レベル論理と低レベル論理のそれぞれの期間が等しいデューティ比50%の

信号となる。このとき、位相比較器52からの出力信号 $f_h$ を積分器53で積分処理した直流出力レベルは、デューティ比50%であるので変動せず、位相ロック状態が実現できるようになっている。

【0006】このとき、仮に、基準フィルタ51のカットオフ周波数 $f_c$ がカットオフ周波数の設計値 $f_{c*}$ よりも小さいときには、図15に示すように、その位相遅れは設計値よりも大きくなる。この結果、位相比較器52の出力信号 $f_h$ は高レベル論理の期間が低レベル論理の期間よりも短くなり、積分器53の出力レベルを低下させる方向に動作する。そして、この出力レベルが下がったときにバイアス電圧を発生させる回路では、全てのGmアンプのGm値が上がるよう形成されおり、このGmアンプのGm値を増加させることに伴い基準フィルタ51のカットオフ周波数が設計値 $f_{c*}$ に等しくなる方向にシフトし、設計値 $f_{c*}$ に等しくなったときに積分器53の出力信号レベルが一定レベルとなり、逆に、積分器53の出力レベルが増加する方向に動作したとき、GmアンプのGm値が下がるように形成され、これに伴い基準フィルタ51のカットオフ周波数が設計値 $f_{c*}$ に等しくなる方向にシフトし、設計値 $f_{c*}$ に等しくなったときに積分器53の出力信号レベルが一定レベルとなり、位相ロック状態となるようになされている。

#### 【0007】

【発明が解決しようとする課題】しかしながら、例えば、図13に示す上記従来のGm-Cフィルタにおいて、PLL回路10を構成するGm-C型低域通過フィルタで構成される基準フィルタ51とバイアス電流調整対象である調整フィルタ13'が同一に構成され、そのGmアンプの入力電圧に対する出力電流の比である相互コンダクタンスを表すGm値及び容量値も共に同一に形成されていることを前提とする。そして、PLL回路10において、基準フィルタ51の出力信号と、基準クロック信号CKとをもとにバイアス電流 $i_{PLL}$ を形成してこれを調整フィルタ13'にも供給するようにし、このとき、PLL回路10において基準フィルタ51の出力信号が所定の出力特性となるようにバイアス電流 $i_{PLL}$ を調整することによって、調整フィルタ13'の出力特性を基準フィルタ51の出力特性と同一となるようにし、このようにして調整フィルタ13'の出力特性を所定の出力特性に設定するようにした場合等には、例えば、調整フィルタ13'及び基準フィルタ51が同一の出力特性となるように予め設計されているものとすると、調整フィルタ13'及び基準フィルタ51には同一のバイアス電流 $i_{PLL}$ が供給されるようになされているので、その出力特性も同一となるはずである。しかしながら、調整フィルタ13'及び基準フィルタ51を構成する各Gmアンプは、MOSFETの素子間のばらつき等の影響により設計値通りに実現することができないために、調整フィルタ13'及び基準フィルタ51の出力

特性に誤差が生じてしまうという問題がある。

【0008】例えば、今、基準フィルタ51を図16に示すように、GmアンプAMP1～AMP4及び容量C1, C2で構成し、GmアンプAMP1～AMP3を直列に接続し、基準クロック信号CKがGmアンプAMP1に入力されるようになされ、GmアンプAMP1の出力がGmアンプAMP2及びAMP4に入力され、GmアンプAMP2の出力がGmアンプAMP3に入力され、GmアンプAMP3及びGmアンプAMP4の出力がGmアンプAMP2及びAMP4に入力され、さらに、GmアンプAMP1とAMP2との間に容量C1が、また、GmアンプAMP2とAMP3との間に容量C2が接続され、GmアンプAMP2の出力を基準フィルタ51の出力信号として出力するように構成したものとする。

【0009】このとき、この基準フィルタ51のカットオフ周波数 $f_c$ は、その伝達関数からGmアンプAMP2及びAMP3のGm値の相乗平均に比例して決定されることがわかる。このとき、調整フィルタ13'をGmアンプAMP1'～AMP4'及び容量C1'及びC2'によって、図16に示す基準フィルタ51と同一構成に形成し、これらGmアンプの各Gm値及び容量値も、基準フィルタ51の対応するGm値及び容量値とそれぞれ同一設計値となるように設定したものとする。

【0010】このとき、基準フィルタ51のカットオフ周波数 $f_c$ はGmアンプAMP2及びAMP3のGm値の相乗平均に比例することから、仮に、基準フィルタ51のGmアンプAMP2及びAMP3のGm値の相乗平均が調整フィルタ13'のGmアンプAMP2'及びAMP3'のGm値の相乗平均に比べて1%大きいならば、基準フィルタ51のカットオフ周波数 $f_{c51}$ は調整フィルタ13'のカットオフ周波数 $f_{c13}$ に比べて1%大きくなることになる。

【0011】このように、調整フィルタ13'及び基準フィルタ51をそれぞれ対応する各GmアンプのGm値を全く同一に設計した場合でも、プロセスの問題等によって誤差が発生するため、調整フィルタ13'及び基準フィルタ51の性能を完全に一致させることができず、調整フィルタ13'を所望とする性能に設定することができないという問題があり、しかも、この誤差はLSIにおいて頻繁に用いられているスイッチキャパシタフィルタ等に比べて大きいために、高速化が容易であるという利点があるにも関わらず、実用に供することができない状態であった。

【0012】そこで、この発明は、上記従来の未解決の課題に着目してなされたものであり、高精度に周波数特性を設定可能なGm-Cフィルタを提供することを目的としている。

#### 【0013】

【課題を解決するための手段】上記目的を達成するため

に、請求項1に係るGm-Cフィルタは、容量と調整信号に応じて相互コンダクタンスを制御可能に形成されたGmアンプとで構成され、所定のフィルタ特性を有するGm-Cフィルタ回路と、該Gm-Cフィルタ回路の実際の出力特性に応じて前記フィルタ特性を調整する調整手段とを備え、前記調整手段は、Gm-Cフィルタ回路の実際の出力特性に応じた調整信号を発生させる設定信号を出力する調整信号設定手段と、該調整信号設定手段からの設定信号により制御されて所定の調整信号を発生する調整信号発生源からの調整信号を前記Gmアンプに供給する調整信号形成手段とを備えることを特徴としている。

【0014】また、請求項2に係るGm-Cフィルタは、請求項1に記載のGmアンプの出力特性を設定する自己調整用バイアス信号発生回路を有し、前記調整信号形成手段は前記自己調整用バイアス信号発生回路からのバイアス信号を前記調整信号設定手段からの設定信号に応じて補正し前記Gm-Cフィルタ回路に供給することを特徴としている。

【0015】また、請求項3に係るGm-Cフィルタは、請求項1又は2に記載の調整信号設定手段が出力する設定信号は、少なくとも1ビット以上のデジタル設定信号であることを特徴としている。また、請求項4に係るGm-Cフィルタは、請求項2又は3に記載の自己調整用バイアス信号発生回路は、前記Gm-Cフィルタ回路に用いられているGmアンプと同じ構成のGmアンプと容量とからなるフィルタ回路又は発振器と、該フィルタ回路又は発振器の基準クロック信号に対する出力信号と前記基準クロック信号との位相差を求める位相比較器と、積分器とから構成されるPLL回路で形成されることを特徴としている。

【0016】また、請求項5に係るGm-Cフィルタは、請求項1乃至4の何れかに記載の調整信号発生源は、発生する調整信号値の異なる複数の信号発生源で形成され、前記調整信号設定手段は所定の調整信号を発生する信号発生源を選択する設定信号を出力することを特徴としている。また、請求項6に係るGm-Cフィルタは、異なる特性値を選択可能な複数のGmアンプ又は容量を選択手段で選択することによりフィルタ特性を変更可能なGm-Cフィルタ回路と、該Gm-Cフィルタ回路の実際の出力特性に応じて前記選択手段を調整する調整手段とを備えることを特徴としている。

【0017】さらに、請求項7に係るGm-Cフィルタは、請求項5又は6に記載の調整手段は、選択されない信号発生源又はGmアンプ若しくは容量を、接続されている回路から物理的に切断する切断手段を備えることを特徴としている。

【0018】

【作用】請求項1に係るGm-Cフィルタは、調整信号設定手段から設定信号を出力して、調整信号発生源から

Gm-Cフィルタ回路の実際の出力特性に応じた調整信号を発生させ、調整信号発生源からの調整信号を調整信号形成手段によりGmアンプに供給することにより、Gmアンプの出力特性を調整してGm-Cフィルタ回路の出力特性を所定のフィルタ特性に設定する。

【0019】また、請求項2に係るGm-Cフィルタは、Gmアンプの出力特性を設定する自己調整用バイアス信号発生回路からのバイアス信号を調整信号設定手段からの設定信号に応じて調整信号形成手段において補正し、補正したバイアス信号をGmアンプに供給し、Gm-Cフィルタのフィルタ特性を所定のフィルタ特性に設定する。

【0020】また、請求項3に係るGm-Cフィルタは、調整信号設定手段からGm-Cフィルタ回路の実際の出力特性に応じた調整信号を発生するデジタル設定信号を出力し、調整信号発生源からデジタル設定信号で指定された調整信号を発生させ、この調整信号を調整信号形成手段によりGmアンプに供給し、Gmアンプの出力特性を調整してGm-Cフィルタ回路の出力特性をデジタル的に調整する。

【0021】また、請求項4に係るGm-Cフィルタは、自己調整用バイアス信号発生回路が、調整対象であるGm-Cフィルタ回路に用いられているGmアンプと同じ構成のGmアンプと容量とからなるフィルタ回路又は発振器と、このフィルタ回路又は発振器の基準クロック信号に対する出力信号と基準クロック信号との位相差を求める位相比較器と、積分器とから構成されるPLL回路で形成されることにより、PLL回路を構成するフィルタ回路又は発振器の出力特性が確実に所定の出力特性となるように形成されたバイアス信号に基づきGm-Cフィルタ回路の出力特性を設定する。

【0022】また、請求項5に係るGm-Cフィルタは、調整信号発生源は、発生する調整信号値の異なる複数の信号発生源で形成され、調整信号設定手段からの設定信号により所定の調整信号を発生する信号発生源を選択する。また、請求項6に係るGm-Cフィルタは、Gm-Cフィルタ回路の実際の出力特性に応じて調整手段により選択手段を調整し、特性値の異なる複数のGmアンプ又は容量を選択してGm-Cフィルタ回路のフィルタ特性を変更する。

【0023】さらに、請求項7に係るGm-Cフィルタは、選択されない調整信号発生源又は、Gmアンプ若しくは容量を、切断手段により接続されている回路から物理的に切断する。

【0024】

【実施例】以下に、本発明の実施例を説明する。図1は、本発明の第1実施例におけるGm-CフィルタFの概略構成を示す構成図である。この第1実施例におけるGm-CフィルタFは、基準クロック信号CKに基づきバイアス電流i<sub>PLL</sub>を形成して出力する自己調整用バイ

アス信号発生回路としてのPLL回路10と、オペレータの設定信号に基づき所定のデジタル設定信号Fsを出力する調整信号設定手段としてのデジタル制御回路11と、デジタル制御回路11からのデジタル設定信号FsとPLL回路10からのバイアス電流i<sub>PLL</sub>とをもとに所定のバイアス電流i<sub>BIAS</sub>を形成して調整フィルタ13に出力する、Gm-C型低域通過フィルタで構成される調整信号形成手段としてのバイアス電流制御回路12と、Gm-Cフィルタ回路としての調整フィルタ13とから構成され、デジタル制御回路11及びバイアス電流制御回路12が調整手段に対応している。

【0025】ここで、PLL回路10は、図13に示す従来のPLL回路10と同様であり、積分器53の出力信号はバイアス電流i<sub>PLL</sub>としてバイアス電流制御回路12に供給されると共に、基準フィルタ51にも供給されている。そして、フィルタ回路としての基準フィルタ51は、図16に示す従来の基準フィルタ51と同一であり、GmアンプAMP1～AMP4と、容量C1及びC2とから構成されると共に、積分器53からのバイアス電流i<sub>PLL</sub>の出力ラインV<sub>PLL</sub>と接地ラインV<sub>ss</sub>との間に、後述のFET12と共に電流-電圧変換回路としてのカレントミラー回路を構成するFET11が接続されて形成されている。そして、このフィルタ特性は、図14に示すように、低域では位相遅れは0度、高域では位相遅れは180度、入力信号の周波数がカットオフ周波数と等しいとき位相遅れは90度となるように構成されている。

【0026】そして、GmアンプAMP1～AMP4は、例えば、図2に示すように、これらは同一に形成され、正負信号をゲート端子に入力する入力MOSFETであるFET3及びFET4と、同相信号調整用の信号をゲート端子に入力するロード用MOSFETであるFET1及びFET2とから構成され、FET1及びFET2のソース側が電源ラインV<sub>DD</sub>に接続され、FET1及びFET3のドレイン側が接続され、同様に、FET2及びFET4のドレイン側が接続され、FET3及びFET4のソース側が、カレントミラー回路を構成するFET12のドレイン側に接続され、FET12のソース側は接地ラインV<sub>ss</sub>に接続され、FET1～FET4のドレイン側で出力信号を取り出すようになされている。

【0027】一方、デジタル制御回路11は、例えばマイクロコンピュータ等で構成され、例えば、オペレータが調整フィルタ13の出力特性に応じて所定の電流指令値をキー入力することにより、8ビットのデジタル設定信号Fsを出力する。このとき、このデジタル設定信号Fsの各ビットはデコーダ回路を介して後述の図3に示す各スイッチ29～36にそれぞれ対応し、デジタル設定信号Fsに応じて各スイッチ29～36が作動するようになされている。

10

20

30

40

50

【0028】バイアス電流制御回路12は、例えば、図3に示すように、カレントミラー回路を構成する、それぞれ発生電流の異なる電流を発生する定電流源である調整信号発生源としてのバイアス電流源20～28と、バイアス電流源21～28を選択するためのスイッチ29～36とから構成され、バイアス電流源20はPLL回路10からのバイアス電流i<sub>PLL</sub>に応じた所定のバイアス基準電流i<sub>ref</sub>を発生する。そして、電源ラインV<sub>DD</sub>とバイアス電圧ラインV<sub>0</sub>との間に、バイアス電流源21～24と各バイアス電流源に対応するスイッチ29～32とが直列に接続された各直列回路が並列に接続されている。また、バイアス電圧ラインV<sub>0</sub>と接地ラインV<sub>ss</sub>との間には、スイッチ33～36と各スイッチに対応するバイアス電流源25～28とが直列に接続された各直列回路が並列に接続され、バイアス電流源21～24の発生電流がバイアス基準電流i<sub>ref</sub>に加算され、バイアス電流源25～28の発生電流がバイアス基準電流i<sub>ref</sub>から減算されるようになされ、バイアス電流源20～28の発生電流をもとにバイアス電流i<sub>BIAS</sub>が形成されて調整フィルタ13に供給されるようになされている。

【0029】このとき、バイアス電流源21はバイアス基準電流i<sub>ref</sub>に比例する8i<sub>r</sub>の微小電流を発生し、同様に、バイアス電流源22はバイアス基準電流i<sub>ref</sub>に比例する4i<sub>r</sub>の微小電流、バイアス電流源23はバイアス基準電流i<sub>ref</sub>に比例する2i<sub>r</sub>の微小電流、バイアス電流源24はバイアス基準電流i<sub>ref</sub>に比例する1i<sub>r</sub>の微小電流を発生するようになされている。また、バイアス電流源25はバイアス基準電流i<sub>ref</sub>に比例する8i<sub>r</sub>の微小電流を発生し、バイアス電流源26はバイアス基準電流i<sub>ref</sub>に比例する4i<sub>r</sub>の微小電流を発生し、バイアス電流源27はバイアス基準電流i<sub>ref</sub>に比例する2i<sub>r</sub>の微小電流を発生し、バイアス電流源28はバイアス基準電流i<sub>ref</sub>に比例する1i<sub>r</sub>の微小電流を発生するようになされている。

【0030】そして、これら各バイアス電流源21～28に対応する各スイッチ29～36は、デジタル制御回路11からのデジタル設定信号Fsに基づきオンオフ制御され、8ビットのデジタル信号で構成されるデジタル設定信号Fsの、例えば、最小ビットがスイッチ36、第2ビット目がスイッチ35、……、最大ビットがスイッチ29に対応し、というように各ビットが各スイッチにそれぞれ対応している。そして、デジタル設定信号Fsのビット信号が“1”であるとき、対応するスイッチがオン状態となり所定の対応するバイアス電流源から所定の微小電流が発生される。また、ビット信号が“0”であるとき、対応するスイッチがオフ状態となり所定の対応するバイアス電流源からの電流出力が停止されるようになされている。

【0031】したがって、各バイアス電流源21～24

の発生電流はそれぞれ、 $8 ir$ ,  $4 ir$ ,  $2 ir$ ,  $1 ir$ に設定されてバイアス基準電流  $i_{ref}$  に加算されるようになされ、各バイアス電流源 25～28の発生電流はそれぞれ、 $8 ir$ ,  $4 ir$ ,  $2 ir$ ,  $1 ir$ に設定されてバイアス基準電流  $i_{ref}$  から減算されるようになされていてことから、オン状態とするスイッチの組み合わせにより、 $-15 ir$ ～ $+15 ir$ の範囲でバイアス基準電流  $i_{ref}$  を調整することができるようになされている。

【0032】そして、これら各バイアス電流源 21～28のそれぞれには、図4に示すように、各スイッチ 29～36のオンオフ状態を固定するための切断手段としての設定回路 101が形成されている。各スイッチに対する設定回路 101は同一構成であるので、ここでは、スイッチ 29にこの設定回路 101を適用した場合の図4に基づき説明する。この設定回路 101は、デジタル制御回路 11からのデジタル設定信号  $F_s$  を入力しスイッチ 29を制御するためのバッファとしてのインバータ回路 90と、電流を流して焼き切ることのできるメタル層 93及び94と、メタル層 93及び94を焼き切るためのプロービング用のパッド 95～97と、過電流防止用の抵抗 91及び92とから構成され、抵抗 91の一端は例えば接地ライン  $V_{ss}$  に接続され、他端はメタル層 93を介してデジタル制御回路 11の出力ラインに接続され、メタル層 93の両端にはプロービング用のパッド 95及び96が接続されている。また、抵抗 92の一端は接地ライン  $V_{ss}$  に接続され、その他端はメタル層 94を介してデジタル制御回路 11の出力ラインに接続され、メタル層 94の一端にはプロービング用のパッド 97が接続されている。

【0033】そして、デジタル設定信号  $F_s$  が入力されて、その結果、調整フィルタ 13の最適特性を得ることのできるスイッチ 29の状態が決まるので、この最適状態になるように、プロービング用のパッド 95～97に電流を流してメタル層 93及び94を焼き切ることにより、スイッチ 29がオン又はオフ状態に固定されるようになされている。

【0034】そして、調整フィルタ 13は、PLL回路 10の構成品である図16に示す基準フィルタ 51に用いられているGmアンプと同一機能構成のGmアンプで構成され、図5に、調整フィルタ 13の一例を示す。この調整フィルタ 13は、例えば、Gm-C構成のリープフロッギング型帯域通過フィルタで形成されている。図中、201～213は、図2に示す基準フィルタ 51のGmアンプと同じ回路構成のGmアンプであり、214～219は容量である。これらGmアンプAMP 201～213の入力電圧に対する出力電流の比である相互コンダクタンスを表すGm値はバイアス電流制御回路 12からのバイアス電流  $i_{BIAS}$  により調整できるようになっている。このとき、調整フィルタ 13に使用するGmアンプのGm値は任意のフィルタ特性を実施するために任意の

10

20

30

40

50

Gm値となっている。そして、これら各GmアンプAMP 201～AMP 213とFET 11'のドレン側とが接続され、FET 11'のソース側は接地ライン  $V_{ss}$  に接続され、図2に示す各Gmアンプの構成品であるFET 12とFET 11'とで電流-電圧変換回路としてのカレントミラー回路を構成している。そして、FET 11'のゲート端子にバイアス電流制御回路 12からのバイアス電流  $i_{BIAS}$  が入力され、所定の電圧に変換されて、各GmアンプのGm値を制御するようになされている。

【0035】このように形成されたGm-Cフィルタ Fにおいて、調整フィルタ 13の出力特性の調整を行う場合には、まず、PLL回路 10が作動して、基準クロック信号  $CK$  を基準フィルタ 51においてフィルタ処理した信号と基準クロック信号  $CK$  とをもとにその位相比較器 52の出力信号  $f_h$  が基準クロック信号  $CK$  の2倍の周波数をもつデューティ比50%の信号となるように、積分器 53からのバイアス電流  $i_{PLL}$  によって基準フィルタ 51の出力特性を調整する。そして、基準フィルタ 51の出力特性が所定の出力特性に調整され、バイアス電流  $i_{PLL}$  が一定値となったものとする。

【0036】このとき、積分器 53の出力であるバイアス電流  $i_{PLL}$  はバイアス電流制御回路 12にも供給されており、バイアス電流制御回路 12の各スイッチ 29～36がオフ状態であるものとすると、バイアス電流源 20のみからバイアス電流  $i_{PLL}$  に応じた基準電流  $i_{ref}$  が発生され、これがバイアス電流  $i_{BIAS}$  として、調整フィルタ 13に供給される。これによって、調整フィルタ 13はこのバイアス電流  $i_{BIAS}$  に応じてそのGm値が制御され、所定の出力特性を得ることが可能に設定されることになる。

【0037】そして、オペレータは例えば、試験用の入力信号を調整フィルタ 13に入力してその出力信号を検出し、このとき、調整フィルタ 13と基準フィルタ 51とのカットオフ周波数が同一に設計されている場合でも各Gmアンプを構成するMOSFETの素子のばらつき等のために、調整フィルタ 13の出力特性が基準フィルタ 51の出力特性と異なる場合には、オペレータは、デジタル制御回路 11からその出力特性誤差に応じた電流指令値をキー入力する。

【0038】これによって、デジタル制御回路 11からは電流指令値で指定された電流を発生させるための8ビットのデジタル設定信号  $F_s$  が outputされ、例えば、バイアス電流  $i_{BIAS}$  を増加させる場合には、スイッチ 29～32の何れか又は全部をオン状態とすることによりバイアス電流  $i_{BIAS}$  を  $1 ir$ ～ $15 ir$ の間で増加させることができとなり、バイアス電流  $i_{BIAS}$  を減少させる場合には、スイッチ 33～36の何れか又は全部をオン状態とすることによりバイアス電流  $i_{BIAS}$  を増減することができる。そして、例えば、スイッチ 32だけオン状態と

することにより、バイアス電流  $i_{BIAS}$  を  $1 ir$  だけ増加させることができ、また、スイッチ 29 と 31 だけオン状態とすることによりバイアス電流  $i_{BIAS}$  を  $8 ir + 2 ir = 10 ir$  だけ増加させる、というように、オン状態とするスイッチの組み合わせにより  $1 ir \sim 15 ir$  の間でバイアス電流  $i_{BIAS}$  を増加させることができ、同様に、スイッチ 33 ～ 36 をオン状態とするスイッチの組み合わせにより  $1 ir \sim 15 ir$  の間でバイアス電流  $i_{BIAS}$  を減少させることができる。

【0039】したがって、バイアス電流  $i_{BIAS}$  が増減することによりそれに応じて調整フィルタ 13 の各  $Gm$  アンプ AMP 201 ～ AMP 213 の  $Gm$  値が増減し、これによりカットオフ周波数  $f_c$  を設計値  $f_{c*}$  に設定することができ、所定の出力特性を得ることができる。そして、調整フィルタ 13 の出力信号が所定の出力特性となつたとき、その状態で、各バイアス電流源 21 ～ 28 の各設定回路 101 のプロービング用パッド 95 ～ 97 に電流を流してメタル層 93 及び 94 を焼き切ることにより、各スイッチ 29 ～ 36 のオンオフ状態が固定され、これによって、調整フィルタ 13 の出力特性が所定のフィルタ特性に固定される。

【0040】したがって、例えば、 $Gm-C$  型低域通過フィルタを組み込んだ LSI を用いた装置等を製品化した場合等には、この LSI を装置に組み込む前、或いは、装置を出荷する前又は後に調整を行う必要があり、装置によってはこのような調整はコスト上昇を招くなどの好ましくないことがあるので、LSI 出荷前の検査等に、上述の  $Gm-C$  フィルタ Fにおいて、デジタル制御回路 11 により所定の出力特性となるようなデジタル設定信号  $F_s$  を選定し、所定の出力特性となつたときに設定回路 101 によって各スイッチをデジタル設定信号  $F_s$  に応じてオン又はオフ状態に固定することにより、高精度なフィルタ特性を有する  $Gm-C$  型低域通過フィルタを供給することができる。或いは、この  $Gm-C$  フィルタ F の調整をユーザ側で行うようにすることも可能である。また、実際の LSI の出荷検査においては、デジタル制御回路 11 が LSI 検査のためのテスター装置に含まれており、テスター装置からプローブ用針をプロービング用パッド 96 に当てることで設定信号を与えることが好ましい。

【0041】また、バイアス電流をデジタルで増減することができる所以、各バイアス電流源 21 ～ 28 で発生する微小電流の単位  $ir$  を極微小に設定することにより、ほとんど連続的にバイアス電流を可変とすることが可能となって的確な微調整を容易に行うことができ、調整フィルタ部 13 の出力特性を、容易確実に所定のフィルタ特性に設定することができる。

【0042】また、バイアス電流源 20 ～ 28 はカレントミラー回路に構成されているので、温度変化等の環境変化が生じた場合には、PLL 回路 10 からのバイアス

電流  $i_{PLL}$  が変化するが、このとき、バイアス電流源 21 ～ 28 で発生する微小電流はバイアス電流源 20 で発生する基準電流  $i_{ref}$  に比例するので、この微小電流も環境変化に追従した電流値となり、より高精度にバイアス電流  $i_{BIAS}$  の調整を行うことができ、より高精度な出力特性調整を行うことができる。

【0043】なお、上記第 1 実施例においては、バイアス電流  $i_{BIAS}$  を調整することにより  $Gm$  値を調整する場合について説明したが、バイアス電流  $i_{BIAS}$  に応じた電圧値に対して調整を行うようにすることも可能である。また、上記第 1 実施例においては、デジタル設定信号  $F_s$  を 8 ビットの信号として形成した場合について説明したが、実際にデジタル制御回路 11 を LSI に設ける場合には、符号用に 1 ビットと、設定値用に 4 ビットとからなる合計 5 ビットのデジタル設定信号  $F_s$  とすることも可能である。

【0044】また、上記第 1 実施例においては、各バイアス電流源 21 ～ 28 で発生させる電流値を二進数の各ビット対応に設定した場合について説明したが、これに限らず任意に設定することができる。また、上記第 1 実施例においては、電流値の異なる複数の定電流源を設け、これら定電流源を選択するスイッチを設け、デジタル指令信号に応じてスイッチが作動するようにした場合について説明したが、例えば、図 6 に示すように、PLL 回路 10 からのバイアス電流  $i_{PLL}$  を微調整するための微調整用バイアス電流を発生する微調整用電流発生回路 14 と、上述の PLL 回路 10 と、前記微調整用電流発生回路 14 からの微調整用バイアス電流と PLL 回路 10 からのバイアス電流  $i_{PLL}$  に応じた基準電流  $i_{ref}$  とをもとにバイアス電流  $i_{BIAS}$  を形成するバイアス電流制御回路 12a と調整フィルタ 13 とから  $Gm-C$  フィルタ回路 F を構成することも可能である。

【0045】具体的には、例えば、図 7 に示すように、カレントミラー回路を構成する MOSFET からなる FET 151 及び 152 と、電流生成用の FET 150 とからバイアス電流制御回路 12a を構成する。これら FET 151 及び 152 のソース側は電源ライン  $VDD$  に接続され、FET 151 と接地ライン  $VSS$  との間に電流加算用の電流値を任意に設定可能な定電流源 153 が接続され、FET 152 と接地ライン  $VSS$  との間に電流減算用の電流値を任意に設定可能な定電流源 154 が接続され、これら定電流源 153 と 154 とで微調整用電流発生回路 14 を構成している。

【0046】そして、これら FET 151 及び 152 と並列に電流生成用の FET 150 が接続され、この FET 150 のゲート端子には PLL 回路 10 からのバイアス電流  $i_{PLL}$  が入力されてこのバイアス電流  $i_{PLL}$  に応じた基準電流  $i_{ref}$  に変換され、この基準電流  $i_{ref}$  と定電流源 153 及び 154 で発生する電流値とからバイアス電流  $i_{BIAS}$  が形成されて調整フィルタ 13 に供給さ

れるようになされている。調整フィルタ13では、上記と同様に、このバイアス電流*i<sub>BIAS</sub>*に応じた出力特性を有して作動するようになされている。

【0047】したがって、例えば、図7のように形成したGm-CフィルタFにおいて調整フィルタ13の調整を行う場合には、調整フィルタ13に例えば試験用の信号を入力してその出力特性を検出し、所定の出力特性と号を例えれば、その抵抗値をデジタル指令信号に基づいて変更すること等により調整し、所望の出力特性となつたとき電流値を固定する。これにより、調整フィルタ13へき電流値を固定する。これにより、調整フィルタ13のフィルタ特性を調整することも可能である。

【0048】次に、本発明の第2実施例について説明する。図8は、第2実施例におけるGm-CフィルタFの概略構成を表したものであり、基準クロック信号CKに基づき所定のバイアス電流*i<sub>PLL</sub>*を形成して出力する上記第1実施例と同一構成のPLL回路10と、オペレータの設定信号に基づき所定の選択信号F<sub>c</sub>を出力する調整手段及び選択手段としてのデジタル制御回路11aと、デジタル制御回路11aからの選択信号F<sub>c</sub>に基づきその出力特性が設定され、PLL回路10からのバイアス電流*i<sub>PLL</sub>*に応じて作動するGm-C型低域通過フィルタで構成される調整フィルタ13aとから構成されている。

【0049】そして、調整フィルタ13aは、図9に示すように、図16に示す基準フィルタ51と同様の構成であるが、各GmアンプA100～A400、容量C100及びC200はそれぞれ複数のGmアンプ及び複数の容量からそれぞれ選択可能に形成されている。すなわち、GmアンプA100は、例えば、図10に示すように、Gm値の異なるGmアンプA101～A104と、この各GmアンプA101～A104のそれぞれに対応するこれらGmアンプを選択するスイッチS<sub>a</sub>101～S<sub>a</sub>104とから構成され、それぞれ対応するGmアンプとスイッチとが直列に接続され、これら直列回路が並列に接続されている。そして、GmアンプA200～A400も同様に形成されている。

【0050】また、容量C100は例えば図11に示すように、容量値の異なる容量C101～C104と、この容量C101～C104のそれぞれに対応するこれらの容量を選択するスイッチS<sub>c</sub>101～S<sub>c</sub>104とから構成され、それぞれ対応する容量とスイッチとが直列に\*

H(s)

gm1 · gm3

$$= \frac{gm1 \cdot gm3}{s^2 + (gm2 \cdot gm4/c1) \cdot s + (gm2 \cdot gm3/c1 \cdot c2)} \dots \dots (1)$$

また、調整フィルタ13aのカットオフ周波数f<sub>c</sub>は次式(2)として表すことができる。

\*接続され、この直列回路が並列に接続されている。そして、容量C200も同様に形成されている。

【0051】そして、これら各スイッチS<sub>a</sub>及びS<sub>c</sub>のそれぞれには、上記第1実施例と同様の図4に示す設定回路101が接続されている。デジタル制御回路11aは、上記第1実施例のデジタル制御回路11と同様に、例えれば、マイクロコンピュータ等で構成され、前記各スイッチS<sub>a</sub>及びS<sub>c</sub>を選択する選択信号F<sub>c</sub>を出力し、例えれば、選択信号F<sub>c</sub>が“1”であるとき対応するスイッチがオン状態となり、選択信号F<sub>c</sub>が“0”であるとき対応するスイッチがオフ状態となるように形成されている。

【0052】そして、このように形成されたGm-CフィルタFにおいて調整フィルタ13aの出力特性の調整を行う場合には、上記第1実施例と同様に、まずPLL回路10が作動して、基準クロック信号CKを基準フィルタ51においてフィルタ処理した信号と基準クロック信号CKとをもとにその位相比較器52の出力信号f<sub>h</sub>が基準クロック信号CKの2倍の周波数をもつデューティ比50%の信号となるように、積分器53からのバイアス電流*i<sub>PLL</sub>*により基準フィルタ51の出力特性が調整される。そして、基準フィルタ51の出力特性が所定の出力特性に調整され、バイアス電流*i<sub>PLL</sub>*が一定値となつものとする。

【0053】オペレータはこの状態から、調整フィルタ13aの出力特性の調整を開始する。このとき、積分器13aの出力であるバイアス電流*i<sub>PLL</sub>*は各GmアンプA100～A400に供給されている。そして、オペレータは、デジタル制御回路11aからキー入力することにより、調整フィルタ13aの各GmアンプA100～A400及び容量C100、C200の各スイッチS<sub>a</sub>及びS<sub>c</sub>に対し、所望のGm値及び容量値であるGmアンプ及び容量を選択する選択信号F<sub>c</sub>を出力させると共に、例えれば試験用の入力信号を調整フィルタ13aに入力し、その出力信号を検出する。これによって、選択信号F<sub>c</sub>が選択されることにより所定のスイッチがオン状態となり、所望のGm値及び容量値からなるGm-Cフィルタが形成される。

【0054】ここで、GmアンプA100～A400のGm値をそれぞれg<sub>m1</sub>～g<sub>m4</sub>、容量C100及びC200の容量値とc<sub>1</sub>及びc<sub>2</sub>とすると、このフィルタ部14の伝達関数は次式(1)によって表すことができる。

【0055】

$$f_c = (g_m 2 \cdot g_m 3 / c_1 \cdot c_2)^{0.5} / 2\pi$$

したがって、 $g_m 1 \sim g_m 4$ 、 $c_1$  及び  $c_2$  を任意に設定することにより、伝達関数及びカットオフ周波数を可変にすることができる。そして、式(2)からわかるように、 $g_m 1 \sim g_m 4$  を一律に  $a$  倍すると、そのカットオフ周波数  $f_c$  も  $a$  倍となるのは明らかである。

【0056】よって、デジタル制御回路11aにより調整フィルタ13aの各GmアンプのGm値及び容量値を任意に設定した調整フィルタ13aの出力信号が、例えば、各FETの素子のばらつき等によって、所定の出力特性が得られなかつたものとすると、例えば、調整フィルタ13aのカットオフ周波数  $f_c$  を決定するGmアンプA200及びA300、容量C100及びC200を他の値に変更する。すなわち、デジタル制御回路11aからキー入力することにより各スイッチS<sub>a</sub>及びS<sub>c</sub>を操作して他のGm値、容量値を有するGmアンプ、容量を作動することにより、調整フィルタ13aの出力信号が所望の出力特性となるように調整を行い、所望の出力特性を有する調整フィルタ13aを形成する。

【0057】そして、このようにして所望の出力特性を有する調整フィルタ13aが形成されると、上記第1実施例と同様にしてその各スイッチS<sub>a</sub>及びS<sub>c</sub>に形成された設定回路101のプロービング用パッド95～97に電流を流すことによって、各スイッチS<sub>a</sub>及びS<sub>c</sub>をオン又はオフ状態に固定することにより、調整フィルタ13aから、確実に所望の出力特性を有する出力信号を得ることができる。

【0058】したがって、例えば、デジタル制御回路11aによって上述のように調整を行い、調整フィルタ13aのみをGm-Cフィルタとして出荷することも可能であり、また、例えば、デジタル制御回路11a、PLL回路10及び調整フィルタ13aをGm-Cフィルタとして出荷し、ユーザ側で任意に調整することも可能である。

【0059】また、例えば、選択可能に形成された各Gmアンプ及び容量の値を、それらの組み合わせによって複数の所定の出力特性となるように設定しておき、ユーザ側でその所望の出力特性となるような組み合わせで各Gmアンプ及び容量の値をデジタル制御回路11aによって設定することにより、任意に出力特性を設定することも可能である。

【0060】なお、上記第2実施例においては、GmアンプA100～A400、及び容量C100、C200は、それぞれ特性の異なる4つのGmアンプ又は容量から形成される場合について説明したが、特性の異なる任意の複数のGmアンプ又は容量から形成することができる。また、上記第1及び第2実施例においては、周波数特性精度の優れた性能を有したGm-Cフィルタを実現することができるので、従来のGm-Cフィルタ回路のように、相対精度を向上させるためにMOSFETのチ

……(2)

ャネル長及びチャネル幅の大きいものを使用することによって、チップサイズが大きくなることはない。

【0061】なお、上記第1及び第2実施例においては、図2に示すようなMOSFETで形成されるGmアンプにより調整フィルタ13を構成した場合について説明したが、例えば、図12に示すようにコモンフィードバック型に構成することも可能である。また、上記第1及び第2実施例においては、自己調整用バイアス信号発生回路としてPLL回路を用いた場合について説明したが、これに限らず、他のバイアス源を適用することも可能であり、例えば、外部から固定バイアス信号を供給するようになることも可能である。

【0062】また、上記第1及び第2実施例においては、調整対象である調整フィルタの出力特性を、調整フィルタへのバイアス電流  $i_{BIAS}$  により調整する場合、或いは、調整フィルタを形成するGmアンプ又は容量を選択することによって調整する場合の何れか一方により調整する場合について説明したが、例えば、調整フィルタを図10及び図11に示すように複数のGmアンプ及び容量で形成し、これらGmアンプ及び容量から所望の出力特性を得ることのできるGmアンプ及び容量を選択すると共に、各Gmアンプへ供給するバイアス電流  $i_{BIAS}$  を調整し、所定の出力特性となるように調整することも可能である。

【0063】また、上記第1及び第2実施例においては、設定回路101ではメタル層93及び94に電流を流して焼き切る場合について説明したが、これに限らず、例えば、ポリシリコンの層を適用することも可能であり、また、例えば、レーザ光の照射等により切断することも可能である。さらに、上記第1及び第2実施例においては、図13に示すように、基準フィルタ51を利用したPLL回路を適用した場合について説明したが、例えば、図17に示すように、基準フィルタ51に替えて、通常PLL回路に頻繁に用いられるような電流/電圧制御型発振器(VCO)61を適用することも可能である。このVCO61は、外部からの制御電流又は制御電圧によって発振周波数を変更可能に形成されている。そして、図17に示すようなPLL回路によれば、VCO61の発振周波数が基準クロック信号周波数に一致した場合、位相比較器52の出力信号のデューティ比が50%となり、積分器53の出力レベルが一定になって位相ロック状態となる。そして、VCO61の発振周波数が基準クロック周波数より大きい時には位相比較器52の出力信号のデューティ比が50%でなくなり、結果として積分器53の出力レベルが変化して最終的に周波数が一致するように動作して位相ロック状態が実現できる。

【0064】ここで、VCO61は、例えば図18に示すように、GmアンプAMP11～AMP13と容量C

11及びC12とから構成され、GmアンプのGm値は積分器53の出力信号であるバイアス電流i<sub>PLL</sub>に応じて決定され、Gm値が大きい場合には発振周波数が大きくなり、逆に、Gm値が小さい場合には発振周波数が小さくなる。なお、GmアンプAMP11及びAMP12は発振周波数を司るアンプであって、GmアンプAMP13は回路を発振させるための負性抵抗として働いている。

#### 【0065】

【発明の効果】以上説明したように、請求項1に係るGm-Cフィルタによれば、調整信号設定手段から設定信号を出力して、調整信号発生源からGm-Cフィルタ回路の実際の出力特性に応じた調整信号を発生させ、調整信号発生源からの調整信号を調整信号形成手段によりGmアンプに供給することにより、例えば、Gmアンプを形成するMOSFETの素子のばらつき等によってGm-Cフィルタ回路から設計値どおりのフィルタ特性を得ることができない場合でも、Gm-Cフィルタ回路の出力特性が所定のフィルタ特性となるように調整信号を発生させGmアンプの出力特性を調整することにより、Gm-Cフィルタ回路のフィルタ特性を所定のフィルタ特性に設定することができる。

【0066】また、請求項2に係るGm-Cフィルタによれば、Gmアンプの出力特性を設定する自己調整用バイアス信号発生回路からのバイアス信号を調整信号設定手段からの設定信号に応じて調整信号形成手段において補正し、補正したバイアス信号をGmアンプに供給することにより、Gm-Cフィルタのフィルタ特性を所定のフィルタ特性に的確に設定することができる。

【0067】また、請求項3に係るGm-Cフィルタによれば、調整信号設定手段からGm-Cフィルタ回路の実際の出力特性に応じた調整信号を発生するデジタル設定信号を出力し、調整信号発生源からデジタル設定信号で指定された調整信号を発生させ、この調整信号を調整信号形成手段によりGmアンプに供給することにより、デジタル的にGmアンプの出力特性を調整し、Gm-Cフィルタ回路のフィルタ特性をデジタル的に調整することができる。

【0068】また、請求項4に係るGm-Cフィルタによれば、自己調整用バイアス信号発生回路が、調整対象であるGm、Cフィルタ回路に用いられているGmアンプと同じ構成のGmアンプと容量とからなるフィルタ回路または発振器と、このフィルタ回路または発振器の基準クロック信号に対する出力信号と基準クロック信号との位相さを求める位相比較器と、積分器とから構成されるPLL回路で形成されることにより、PLL回路を構成するフィルタ回路が確実に所定のフィルタ特性となるように形成されたバイアス信号を、Gm-Cフィルタ回路に供給することにより、Gm-Cフィルタ回路のフィルタ特性をより容易的確に調整することができる。

【0069】また、請求項5に係るGm-Cフィルタによれば、調整信号設定手段からの設定信号によって、所定の調整信号を発生する信号発生源を調整信号発生源から選択することにより、容易に所定の調整信号を発生させることができる。また、請求項6に係るGm-Cフィルタによれば、Gm-Cフィルタ回路の実際の出力特性に応じて調整手段により選択手段を調整し、特性値の異なる複数のGmアンプ又は容量を選択することにより、Gm-Cフィルタ回路のフィルタ特性を容易に変更することができる。

【0070】さらに、請求項7に係るGm-Cフィルタによれば、選択されない調整信号発生源又は、Gmアンプ若しくは容量を、切断手段によって、接続されている回路から物理的に切断することにより、容易に所定のフィルタ特性を有するGm-Cフィルタ回路を得ることができる。

#### 【図面の簡単な説明】

【図1】本発明の第1実施例におけるGm-Cフィルタの概略構成図である。

【図2】GmアンプAMPの一例を示す回路図である。

【図3】バイアス電流制御回路の一例を示す回路図である。

【図4】設定回路の一例を示す回路図である。

【図5】調整フィルタの一例を示す回路図である。

【図6】Gm-Cフィルタのその他の例を示す構成図である。

【図7】図6の詳細回路図である。

【図8】本発明の第2実施例におけるGm-Cフィルタの概略構成図である。

【図9】調整フィルタ13aの説明図である。

【図10】GmアンプA101の一例を示す説明図である。

【図11】容量C101の一例を示す説明図である。

【図12】GmアンプAMPのその他の例を示す回路図である。

【図13】従来のGm-Cフィルタの概略構成図である。

【図14】基準フィルタ51の出力特性を表す説明図である。

【図15】基準フィルタ51の動作説明に供する説明図である。

【図16】基準フィルタ51の一例を示す説明図である。

【図17】PLL回路のその他の例を示す回路図である。

【図18】電流/電圧制御型発振器61の一例を示す回路図である。

#### 【符号の説明】

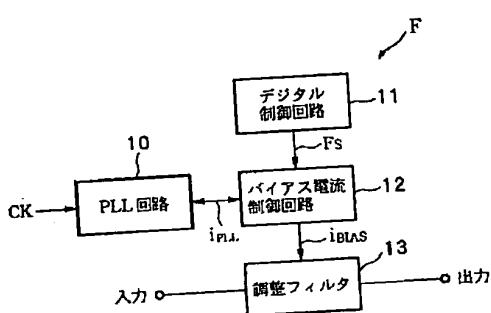
10 PLL回路

11, 11a デジタル制御回路

19

12 バイアス電流制御回路  
13, 13a 調整フィルタ  
20~28 バイアス電流源  
29~36 スイッチ  
51 基準フィルタ  
52 位相比較器

【図1】



53 積分器

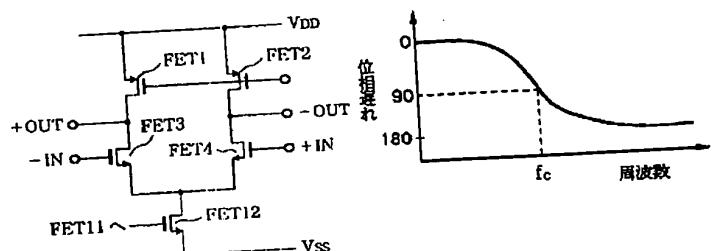
54, 55 コンパレータ

101 設定回路

AMP 1~4 Gmアンプ

C1, C2 容量

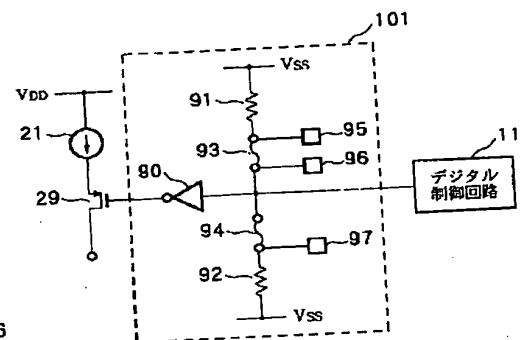
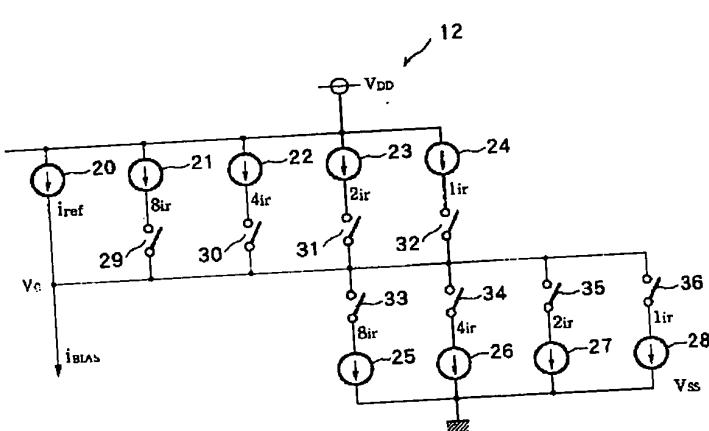
【図2】



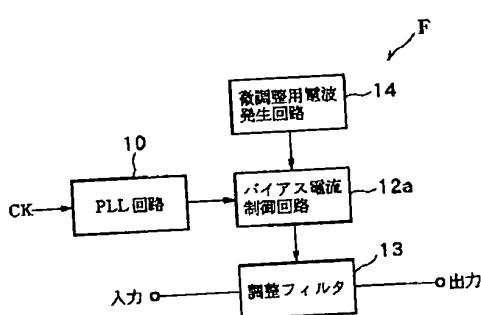
【図14】

【図4】

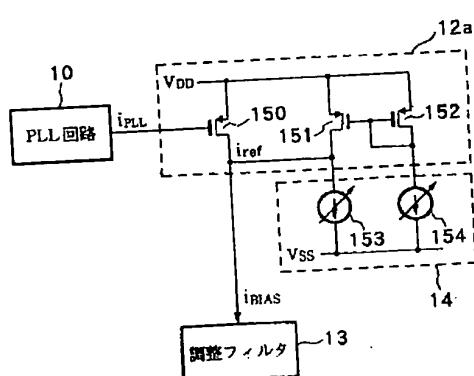
【図3】



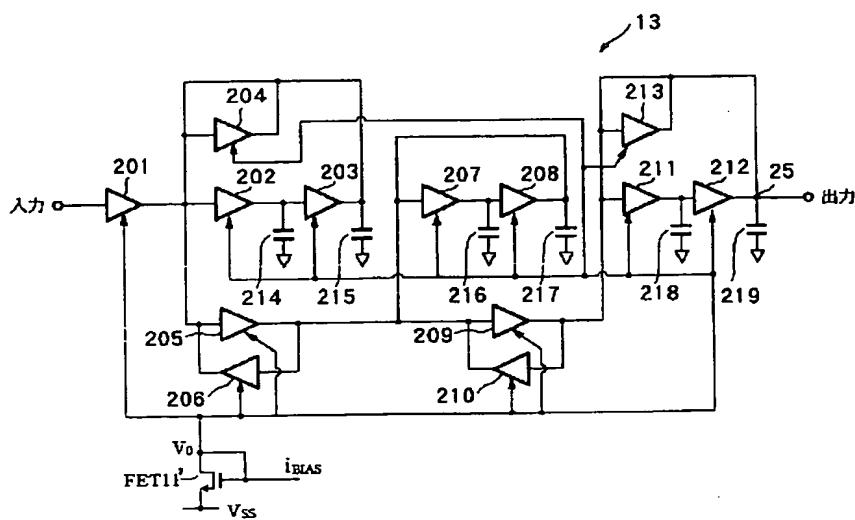
【図6】



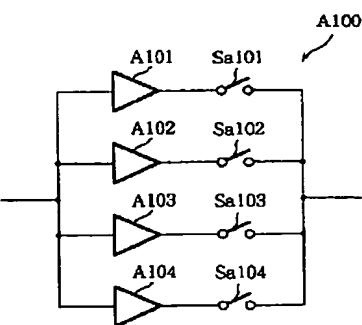
【図7】



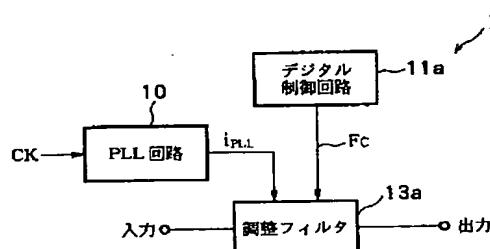
【図5】



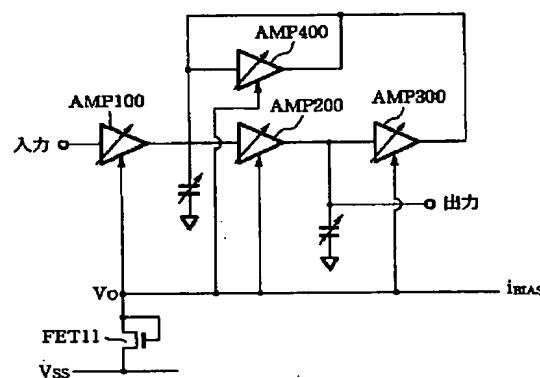
【図10】



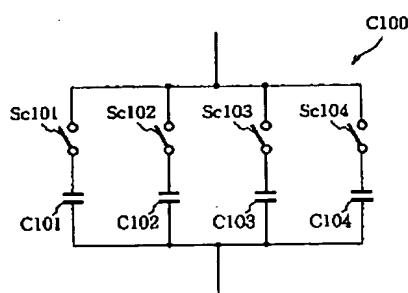
【図8】



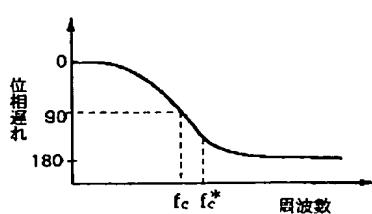
【図9】



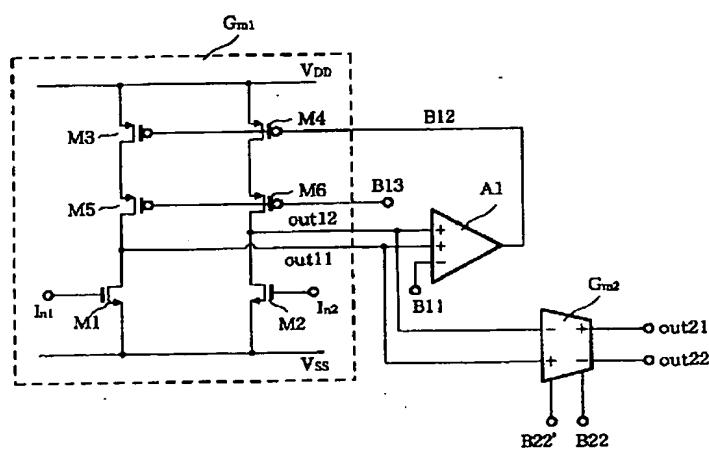
【図11】



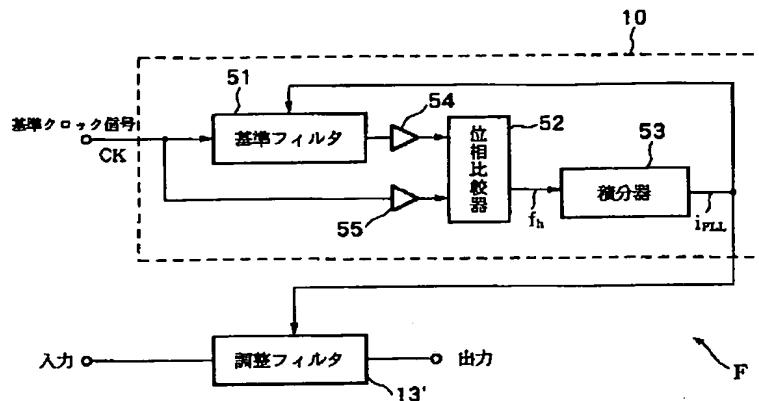
【図15】



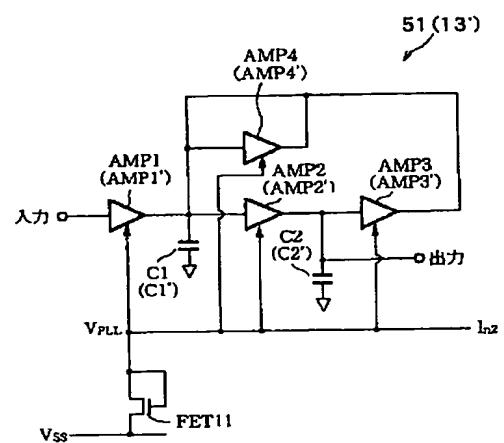
【図12】



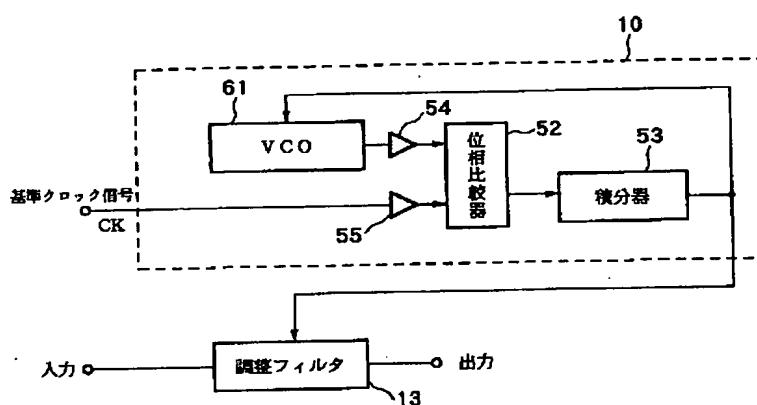
【図13】



【図16】



【図17】



【図18】

